**数字逻辑与FPGA 实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **实验名称：** | 实验一 门电路和全加器实验 | | | | |
| **班 级：** | 物联网工程19-2班 | **姓 名：** | 付炎平 | **学 号：** | 2019217819 |
| **实验地点：** | 综合实验楼一307 | **日 期：** | 2020.12.16 | | |

|  |
| --- |
| **一、实验目的：**  1. 熟悉门电路的逻辑功能、逻辑表达式、逻辑符号、等效逻辑图。  2. 掌握数字电路实验箱及示波器的使用方法。  3. 掌握组合逻辑电路的功能测试。  4. 验证半加器和全加器的逻辑功能。  5. 学会二进制数的运算规律。 |
| 1. **实验环境：**   实验仪器及材料  1、仪器设备：双踪示波器、数字万用表、数字电路实验箱  2. 器件：  74LS00 二输入端四与非门 3片  74LS20 四输入端双与非门 1片  74LS86 二输入端四异或门 1片 |
| **三、实验内容和要求：**  **实验要求**  1. 预习门电路相应的逻辑表达式。  2. 熟悉所用集成电路的引脚排列及用途。  3. 预习组合逻辑电路的分析方法。  4. 预习用与非门和异或门构成的半加器、全加器的工作原理。  5. 预习二进制数的运算。  实验内容  实验前按数字电路实验箱使用说明书先检查电源是否正常，然后选择实验用的集成块芯片插入实验箱中对应的IC座，按自己设计的实验接线图接好连线。注意集成块芯片不能插反。实验中改动接线须先断开电源，接好线后再通电实验。每个芯片的电源和GND引脚，分别和实验台的+5V 和“地（GND）”连接。芯片不给它供电，芯片是不工作的。用**实验台的逻辑开关**作为被测器件的输入。拨动开关，则改变器件的输入电平。开关向上，输入为1，开关向下，输入为0。  将被测器件的输出引脚与实验台上的电平指示灯连接。指示灯亮表示输出电平为1，指示灯灭表示输出电平为0。 |
| **四、实验步骤：**  **1.与非门电路逻辑功能的测试**  （1）选用双四输入与非门74LS20一片，插入数字电路实验箱中对应的IC座，按图1.1接线、输入端1、2、4、5、分别接到K1~K4的逻辑开关输出插口，输出端接电平显示发光二极管D1~D4中任意一个。注意：芯片74LS20的14号引脚要接试验箱下方的+5V电源，7号引脚要接试验箱下方的地（GND）。用万用表测电压时，万用表要调到直流20V档位，因为芯片接的电源是直流+5V。  表1.1      图 1.1  （2）按表1.1的状态改变逻辑开关的值，分别测出逻辑状态及输出电压。  **2. 异或门逻辑功能的测试**  （1）选二输入四异或门电路74LS86，按图1.2接线，输入端1、2、4、5接逻辑开关(K1~K4)，输出端A、B、Y接电平显示发光二极管。注意：芯片74LS86的14号引脚要接试验箱下方的+5V电源，7号引脚要接试验箱下方的地（GND）。      图 1.2  （2）按表1.2的状态，拨动逻辑开关，将输出值的结果填入表中。  表1.2  **3. 组合逻辑电路功能测试**  （1）用2片74LS00芯片组成图1.3所示逻辑电路。其中虚线框内是第一片74LS00芯片部分，虚线框外的是第二片74LS00芯片部分。**注意：两片74LS00芯片的14号引脚都要接实验箱下方的+5V电源，7号引脚都要接实验箱下方的地（GND）。**为便于接线和检查，在图中要注明芯片编号及各引脚对应的编号。  （2）先按图1.3写出Y2的逻辑表达式并化简。  （3）图中A、B、C接实验箱下方的逻辑开关，Y1，Y2接实验箱上方的电平显示发光管。  （4）按表1.3要求，拨动开关，改变A、B、C输入的状态，填表写出Y1，Y2的输出状态。  **4.用异或门（74LS86）和与非门组成的半加器电路**  根据半加器的逻辑表达式可知，半加器Y是A、B的异或，而进位Z是A、B相与，即半加器可用一个异或门和二个与非门组成一个电路。如图1.4。    图1.4  （1）在数字电路实验箱上插入异或门和与非门芯片。输入端A、B接逻辑开关，Y，Z接电平显示发光管。  （2）按表1.4要求，拨动开关，改变A、B输入的状态，填表写出Y、Z的输出状态，并根据真值表写出Y、Z逻辑表达式。  表1.4  **5.全加器组合电路的逻辑功能测试**  （1）写出图1.5电路的逻辑表达式。  （2）根据逻辑表达式列真值表。  （3）根据真值表画出逻辑输出函数Si 和 Ci的卡诺图。    图1.5    Si＝ Ci＝  （4）根据表达式直接填写表1.5各点状态  表1.5  （5）用3片74LS00芯片组成图1.5所示逻辑电路。其中第一个虚线框内是第一片74LS00芯片部分，第二个虚线框内的是第二片74LS00芯片部分。余下的是第三片74LS00芯片部分。注意：三片74LS00芯片的14号引脚都要接实验箱下方的+5V电源，7号引脚都要接实验箱下方的地（GND）。按原理图选择与非门并接线进行测试，将测试结果记入表1.6，并与上表1.5进行比较看逻辑功能是否一致。  表1.6 |
| 1. **实验结果与分析（**含程序、数据记录及分析和实验总结等**）：**   **1.与非门电路逻辑功能的测试**   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **输入** | | | 输出 | | | | **1(k1)** | **2(k2)** | **4(k3)** | 5(k4) | Y  zhe | 电压值（v）  zhi（V） | | **H** | **H** | **H** | H | 0 | 0 | | **L** | **H** | **H** | H | 1 | 5 | | **L** | **L** | **H** | H | 1 | 5 | | **L** | **L** | **L** | H | 1 | 5 | | **L** | **L** | **L** | L | 1 | 5 |   **Cache_-7cd5a5c957465de4.**  **2.异或门逻辑功能的测试**   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | 输入 | | | | 输出 | | | | | 1(K1) | 2(K2) | 4(K3) | 5(K4) | A | B | Y | 电压（V） | | L  H  H  H  H  L | L  L  H  H  H  H | L  L  L  H  H  L | L  L  L  L  H  H | 0  1  0  0  0  1 | 0  0  0  1  0  1 | 0  1  0  1  0  0 | 0  5  0  5  0  0 |   **Cache_-452fbc8e7cd59d7.**  **3. 组合逻辑电路功能测试**   |  |  |  |  |  | | --- | --- | --- | --- | --- | | 输入 | | | 输出 | | | A | B | C | Y1 | Y2 | | 0  0  0  0  1  1  1  1 | 0  0  1  1  0  0  1  1 | 0  1  0  1  0  1  0  1 | 0  0  1  1  1  1  1  1 | 0  1  1  1  0  1  0  1 |   **Cache_-72ff340370f33948.(1)**    **4.用异或门（74LS86）和与非门组成的半加器电路**   |  |  |  |  | | --- | --- | --- | --- | | 输入 | | 输出 | | | A | B | Y | Z | | 0  0  1  1 | 0  1  0  1 | 0  1  1  1 | 0  0  0  1 |   **Cache_6730b90c9480d783.(1)**  **5.全加器组合电路的逻辑功能测试**  **Cache_-690dc6dff6bcf68e.**  表1.5   |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | Ai | Bi | Ci-1 | Y | Z | X1 | X2 | X3 | Si | Ci | | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |   **逻辑表达式：Y1=A+B   Y2=（A·B）+（B·C）**  **真值表：** 输入端 A 0 1 0 1  B 0 0 1 1  输出端 Y 0 1 1 0  Z 0 0 0 1  表1.6   |  |  |  |  |  | | --- | --- | --- | --- | --- | | Ai | Bi | Ci-1 | Ci | Si | | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 0 | 1 | | 0 | 1 | 0 | 1 | 1 | | 0 | 1 | 1 | 1 | 0 | | 1 | 0 | 0 | 1 | 0 | | 1 | 0 | 1 | 1 | 0 | | 1 | 1 | 0 | 1 | 1 | | 1 | 1 | 1 | 1 | 1 |   问题：  1、怎样判断门电路逻辑功能是否正常？  答：(1)按照门电路功能，根据输入和输出，列出真值表。(2)按真值表输入电平，查看它的输出是否符合真值表。(3)所有真值表输入状态时，它的输出都是符合真值表，则门电路功能正常；否则门电路功能不正常。  2、与非门一个输入接连续脉冲，其余端什么状态时允许脉冲通过？什么状态时禁止脉冲通过？  答：与非门接髙电平则其他信号可以通过，接低电平则输出恒为0，与非门的真值表是“有0出1，全1出0”。所以一个输入接时钟，就是用时钟控制与非门，当时钟脉冲为高电平时，允许信号通过，为低电平时关闭与非门。 |
| **六、教师评语：**  **实验成绩： 教师：（签名要全称） 年 月 日** |